

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069743
(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H03H 7/075

(21)Application number : 07-222181
(22)Date of filing : 30.08.1995

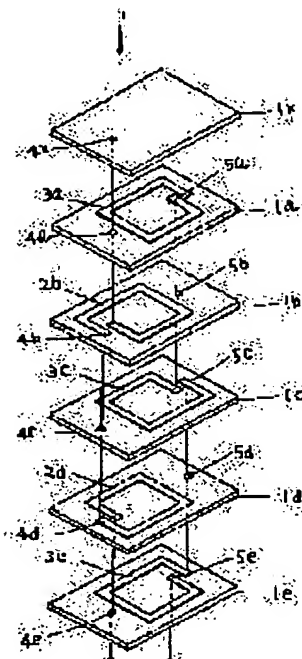
(71)Applicant : KYOCERA CORP
(72)Inventor : MARUYAMA YUJI

(54) NOISE FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To maximize an inductor component and also to reduce the variance of the inductor component by preparing a signal line conductor pattern and a ground line conductor pattern between the independent dielectric ceramic layers and setting a specific number of turns between these ceramic layers.

SOLUTION: Only one of signal line conductor patterns 2b and 2d or ground line conductor patterns 3a, 3c and 3e is formed on a single dielectric sheet and also in about a single turn. As a result, an inner area part of a coil forming every inductor component is prescribed. Furthermore, the via hole conductors 4a and 4e connected to the patterns 2b and 2d are formed at the outside of the coil inner area parts of patterns 3a, 3c and 3e. Then the via hole conductors 5a to 5e connected to the patterns 3a, 3c and 3e are formed at the outside of the coil inner area parts of the patterns 2b and 2d.



LEGAL STATUS

[Date of request for examination] 13.07.2000
[Date of sending the examiner's decision of rejection] 18.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 6 9 7 4 3

(43) 公開日 平成9年(1997)3月11日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 7/075

H 0 3 H 7/075

A

審査請求 未請求 請求項の数 1

O L

(全 8 頁)

(21) 出願番号 特願平7-222181

(22) 出願日 平成7年(1995)8月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 丸山 雄二

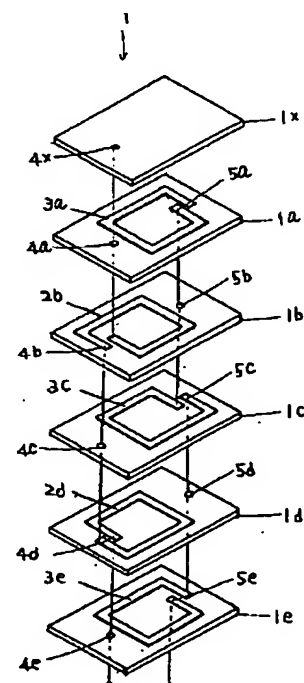
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 ノイズフィルタ

(57) 【要約】

【課題】 特性が向上し、安定化して、製造方法が容易なノイズフィルタを提供する。

【解決手段】 本発明は、誘電体セラミック層を複数積層して成る積層体に、信号側インダクタ成分、グランド側インダクタ成分を配置し、両インダクタ成分間で容量成分が発生するノイズフィルタにおいて、前記積層体を構成する誘電体セラミック層間には、独立して、略1ターンの信号ライン導体パターンまたはグランドライン導体パターンが配置されており、複数の信号ライン導体パターンまたはグランドライン導体パターンを接続するビアホール導体が、各インダクタ成分(コイル)のコイル内面積部分を挟んで分散して配置されている。



1

【特許請求の範囲】

【請求項 1】 複数の誘電体セラミック層を積層して成る積層体と、

該積層体の各層間に配置され、信号側インダクタ成分を構成する信号ライン導体パターンと、

該積層体の各層間に配置され、グラウンド側インダクタ成分を構成するとともに、前記信号ライン導体パターンと対向して容量成分を構成するグラウンドライン導体パターンと、

前記隣接する各層間に配置された信号ライン導体パターンとを複数の誘電体セラミック層を貫いて形成された第 1 ピアホール導体と、

前記隣接する層間に配置されたグラウンドライン導体パターンとを複数の誘電体セラミック層を貫いて形成された第 2 ピアホール導体と、を備えるノイズフィルタにおいて、

前記積層体の各層間の信号ライン導体パターン及びグラウンドライン導体パターンは、夫々略 1 ターン形状を成し、且つ前記第 1 ピアホール導体と第 2 ピアホール導体が信号側インダクタ成分及びグラウンド側インダクタ成分を構成するコイル内面積部分を挟んで対象位置に配置されていることを特徴とするノイズフィルタ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明はノイズフィルタに関し、特に、ノイズ特性が安定するノイズフィルタに関するものである。

【0002】

【従来の技術】従来のノイズフィルタは、複数の誘電体セラミック層が積層して成る積層体の各誘電体セラミック層間に、信号ライン導体パターンとグラウンドライン導体パターンとを配置して、分布定数的にインダクタ成分、容量成分を発生させていた。

【0003】具体的な構造の一例は、誘電体セラミック層となる第 1 の誘電体シート上に、略半ターン形状の信号ライン導体パターンと、略半ターン形状のグラウンドライン導体パターンとを両者並設する。また、誘電体セラミック層となる第 2 の誘電体シート上に、略半ターン形状のグラウンドライン導体パターンと、略半ターン形状の信号ライン導体パターンとを両者並設する。

【0004】この第 1 の誘電体シート、第 2 の誘電体シートに形成した信号ライン導体パターンの他端は、第 2 の誘電体シート、第 1 の誘電体シートに形成した信号ライン導体パターンの一端に、ビアホール導体を介して接続しており、第 2 の誘電体シート、第 1 の誘電体シートに形成したグラウンドライン導体パターンの他端は、第 2 の誘電体シート、第 1 の誘電体シートに形成したグラウンドライン導体パターンの一端に、ビアホール導体を介して接続している。

【0005】また、第 1 の誘電体シートに形成した信号

2

ライン導体パターンは、誘電層を介して第 2 の誘電体シートに形成したグラウンドライン導体パターンと対向し、第 1 の誘電体シートに形成したグラウンドライン導体パターンは、誘電層を介して第 2 の誘電体シートに形成した信号ライン導体パターンと対向している。

【0006】同様に、第 2 の誘電体シートに形成した信号ライン導体パターンは、誘電層を介して第 1 の誘電体シートに形成したグラウンドライン導体パターンと対向し、第 2 の誘電体シートに形成したグラウンドライン導体パターンは、誘電層を介して第 1 の誘電体シートに形成した信号ライン導体パターンと対向している。

【0007】これによって、半ターン形状の複数の信号ライン導体パターンがピアホール導体によって順次接続して、所定ターン数の信号側インダクタ成分を構成し、また、半ターン形状の複数のグラウンドライン導体パターンがピアホール導体によって順次接続して、所定ターン数のグラウンド側インダクタ成分を構成していた。

【0008】そして、信号側インダクタ成分の一端は積層体の端面に形成された入力端子電極に接続し、信号側インダクタ成分の他端は積層体の端面に形成された出力端子電極に接続し、また、グラウンド側インダクタ成分の一部は、積層体の端面に形成されたグラウンド電位の端子電極に接続する。

【0009】また、信号側インダクタ成分とグラウンド側インダクタ成分との間では、同時に所定容量が発生することになり、分布定数的に、両インダクタ成分、相互インダクタ成分及び容量成分とによって、所定特性のノイズフィルタが達成されてる。

【0010】尚、製造方法としては、誘電体セラミックグリーンシート上に略半ターンの信号ライン導体パターンとなる導体膜と略半ターンのグラウンドライン導体パターンとなる導体膜とを形成した第 1 の誘電体シート、第 2 の誘電体シート形成する。

【0011】その導体膜の互いにその開口部が対向しあうように夫々導電性ペーストによって形成し、これらのグリーンシートを交互に積層一体化して、一体焼成して形成する。その後、積層体の端面に、入出力端子電極、グラウンド電位の端子電極を夫々形成する。

【0012】

【発明が解決しようとする課題】しかし、上述のノイズフィルタのピアホール導体の形成位置に関し、例えば、信号側インダクタ成分を形成するために信号ライン導体パターンどうしを接続するピアホール導体は、実質的にグラウンドライン導体パターンで構成されるグラウンドライン側インダクタ成分のコイル内面積部分（磁束が通過する中央部分）に位置することになる。

【0013】また、グラウンドライン導体パターンどうしを接続するピアホール導体は、信号側インダクタ成分のコイル内面積部分（磁束が通過する中央部分）に位置することになる。

50

【0014】このように、一方のインダクタ成分のコイル内面積部分に、他方の導体パターンビアホール導体が位置している。

【0015】このため、一方のインダクタ成分で発生する磁束が通過するコイル内面積部分に、他方の導体パターンのビアホール導体が位置しているため、インダクタ成分を低下させてしまうことになる。

【0016】しかも、誘電体セラミック層となるシートの積層位置ずれが発生すると、インダクタ成分を構成するコイル内面積が大きく変動してしまう。

【0017】この両者のために、特に各インダクタ成分が低下し、また、大きな変動が発生してしまうことになり、信号側のインダクタ成分、グラウンド側のインダクタ成分、相互インダクタ成分、両インダクタ成分の対向によって発生する容量成分との関係において特性が決定されるノイズフィルタにおいて、実用上大きな問題であった。

【0018】本発明は上述の問題点を鑑みて案出されたものであり、その目的は、インダクタ成分を最大にし、且つその変動が少ないノイズフィルタを提供するものである。

【0019】

【課題を解決するための手段】本発明は、複数の誘電体セラミック層を積層して成る積層体と、該積層体の各層間に配置され、信号側インダクタ成分を構成する信号ライン導体パターンと、該積層体の各層間に配置され、グラウンド側インダクタ成分を構成するとともに、前記信号ライン導体パターンと対向して容量成分を構成するグラウンドライン導体パターンと、前記隣接する各層間に配置された信号ライン導体パターンとを複数の誘電体セラミック層を貫いて形成された第1ビアホール導体と、前記隣接する層間に配置されたグラウンドライン導体パターンとを複数の誘電体セラミック層を貫いて形成された第2ビアホール導体と、を備えるノイズフィルタにおいて、前記積層体の各層間の信号ライン導体パターン及びグラウンドライン導体パターンは、夫々略1ターン形状を成し、且つ前記第1ビアホール導体と第2ビアホール導体が信号側インダクタ成分及びグラウンド側インダクタ成分を構成するコイル内面積部分を挟んで対象位置に配置されているノイズフィルタである。

【0020】

【作用】本発明によれば、信号側インダクタ成分を構成する信号ライン導体パターン及びグラウンド側インダクタ成分を構成するグラウンドライン導体パターンとが独立した各誘電体セラミック層間に配置されている。そして、その層間において、ターン数は略1ターン形状となっている。

【0021】従って、仮に信号ライン導体パターン、グラウンドライン導体パターンの形成において、積層位置ずれ等が発生しても、夫々の信号ライン導体パターンで構

成される信号側インダクタ成分のコイル内面積部分及びグラウンドライン導体パターンで構成されるグラウンド側インダクタ成分のコイル内面積部分が変動することがないため、安定したインダクタ成分を得ることができる。

【0022】また、信号ライン導体パターンどうしを接続する第1ビアホール導体及びグラウンドライン導体パターンどうしを接続する第2ビアホール導体は、夫々インダクタ成分のコイル内面積部分を挟んで、その外部の対象位置に形成されている。

10 【0023】即ち、信号ライン導体パターンの両端部は、例えば積層体の一方方向の一方端寄り部分に、グラウンドライン導体パターンの両端部は、例えば積層体の一方方向の他方端寄り部分に配置されることになる。

【0024】これによって、2つのコイル内面積部分には、第1、第2ビアホール導体が存在することがないため、インダクタ成分を最大限に大きくすることができる。

【0025】その結果、信号側のインダクタ成分、グラウンド側のインダクタ成分、相互インダクタ成分、信号側のインダクタ成分とグラウンド側のインダクタ成分との対向によって発生する容量成分によって決定されるノイズフィルタ特性が最大且つ安定化させることができる。

【0026】しかも、第1、第2ビアホール導体がコイル内面積部分を挟んで分散されて配置されているため、製造工程中で誘電体セラミック層間の剥離現象を減少させることができ、誘電体セラミック層を積層した時の積層表面を比較的に平坦化することができる。

【0027】

【発明の実施の形態】以下、本発明のノイズフィルタを図面に基づいて詳説する。

【0028】図1は本発明のノイズフィルタの外観斜視図であり、図2は積層体部分の分解斜視図であり、図3(a)～(d)は、誘電体セラミック層となるシート上に形成された信号ライン導体パターン、グラウンドライン導体パターンとなる導体膜の平面図である。

40 【0029】本発明のノイズフィルタは、例えば6層の誘電体セラミック層1x、1a～1eが積層して構成された積層体1と、該積層体1の外表面に形成した信号ライン側の入力端子電極6、7とグラウンド電位の端子電極8とから主に構成されている。

【0030】積層体1は、アルミナ、BaTiO₃、TiO₂、Mn-Zn、Ni-Znなどの誘電体セラミック、またはこのような誘電体セラミックと結晶化ガラス成分との混合物などで構成された誘電体セラミック層1x、1a～1eとから成る。

【0031】この積層体1の各誘電体セラミック層1aと1bとの間、1cと1dの間には、信号ライン導体パターン2b、2dが形成されてる。

50 【0032】また、この積層体1の各誘電体セラミック層1xと1aとの間、1bと1cとの間、1dと1eの

間には、グランドライン導体パターン 3 a、3 c、3 e が形成されている。

【0033】また、信号ライン導体パターン 2 b の他端部分には、隣接する信号ライン導体パターン 2 d の一端部と接続するために、誘電体セラミック層 1 b に形成された第 1 ビアホール導体 4 b、誘電体セラミック層 1 c に形成された第 1 ビアホール導体 4 c が配置されている。

【0034】また、信号ライン導体パターン 2 d の他端部には、積層体 1 の外部に信号ライン導体パターン 2 d を引き出すために誘電体セラミック層 1 d に形成された第 1 ビアホール導体 4 d が配置されている。

【0035】尚、信号ライン導体パターン 2 b の一端部分には、その一端を外部に引き出すために、誘電体セラミック層 1 x に形成されたビアホール導体 4 x、誘電体セラミック層 1 a に形成されたビアホール導体 4 a が配置されている。

【0036】グランドライン導体パターン 3 a の他端部分には、隣接するグランドライン導体パターン 3 c の一端部と接続するために、誘電体セラミック層 1 a に形成された第 1 ビアホール導体 5 a、誘電体セラミック層 1 b に形成された第 2 ビアホール導体 5 c が配置されている。

【0037】また、グランドライン導体パターン 3 c の他端部分には、隣接するグランドライン導体パターン 3 e の一端部と接続するために、誘電体セラミック層 1 c に形成された第 2 ビアホール導体 5 c、誘電体セラミック層 1 d に形成された第 2 ビアホール導体 5 d が配置されている。

【0038】さらに、グランドライン導体パターン 3 e の他端部には、積層体 1 の外部にグランドライン導体パターン 3 e を引き出すために誘電体セラミック層 1 e に形成されたビアホール導体 5 e が配置されている。

【0039】これにより、信号側のインダクタ成分の電気的な導通状態は、ビアホール導体 4 x、4 a、信号ライン導体パターン 2 b、ビアホール導体 4 b、4 c、信号ライン導体パターン 2 d、ビアホール導体 4 d、4 e となる。

【0040】また、グランド側のインダクタ成分の電気的な導通状態は、グランドライン導体パターン 3 a、ビアホール導体 5 a、5 b、グランドライン導体パターン 3 c、ビアホール導体 5 c、5 d、グランドライン導体パターン 3 e、ビアホール導体 5 e となる。

【0041】そして、積層体 1 の一方方向の一方端面には信号側の入力端子電極 6 が形成され、積層体 1 の一方方向の他方端面には信号側の出力端子電極 7 が形成され、積層体 1 の他方方向の一方及びまたは他方端面にはグランド側端子電極 8 が形成されている。そして、端子電極 6、例えばビアホール導体 4 e の露出部分に接続し、端子電極 7 は、例えばビアホール導体 4 x の露出部

分に接続するように形成され、端子電極 8 は、例えばビアホール導体 5 e の露出部分に接続するように形成されている。

【0042】ここで、信号ライン導体パターン 2 b、2 d、グランドライン導体パターン 3 a、3 c、3 e 及びビアホール導体 4 x、4 a～4 e、5 a～5 e は、夫々 Ag をなどを主成分とする導体によって、端子電極 6～8 は、夫々 Ag をなどを主成分とする下地導体、及びその表面に Ni メッキや半田メッキなどのメッキ層から構成される。

【0043】次に、信号ライン導体パターン 2 b、2 d、グランドライン導体パターン 3 a、3 c、3 e のパターンを図 3 (a)～図 3 (d) を用いて説明する。

【0044】図 3 (a) は例えば誘電体セラミック層 1 a と 1 b との層間、即ち、誘電体セラミック層 1 b 上に形成された信号ライン導体パターン 2 b のパターンを示す。

【0045】図において、信号ライン導体パターン 2 b は、誘電体セラミック層 1 b となる誘電体シート（説明上「1 b」と記す）上に形成される。具体的には、略 1 ターン形状を成し、その信号ライン導体パターン 2 b の一端側及び他端側が例えば誘電体シート 1 b の左側に配置されている。そして、その信号ライン導体パターン 2 b の他端部分には、誘電体シート 1 b の厚み貫く第 1 ビアホール導体 4 b が形成されている。同時に、誘電体シート 1 b の右側寄りに第 2 ビアホール導体 5 b が形成されている。尚、この第 2 ビアホール導体 5 b は誘電体シート 1 b を挟持する誘電体シート 1 a、誘電体シート 1 c 上に形成されたグランドライン導体パターン 3 a、3 c を接続するためのビアホール導体の一部となる。

【0046】図 3 (b) は例えば誘電体セラミック層 1 c と 1 d との層間、即ち、誘電体セラミック層 1 c 上に形成された信号ライン導体パターン 2 c のパターンを示す。

【0047】図において、信号ライン導体パターン 2 d は、誘電体セラミック層 1 d となる誘電体シート（説明上「1 d」と記す）上に形成される。具体的には、略 1 ターン形状を成し、その信号ライン導体パターン 2 d の一端側及び他端側が例えば誘電体シート 1 d の左側に配置されている。そして、その信号ライン導体パターン 2 d の他端部分には、誘電体シート 1 d の厚み貫く第 1 ビアホール導体 4 d が形成されている。同時に、誘電体シート 1 d の右側寄りに第 2 ビアホール導体 5 d が形成されている。尚、この第 2 ビアホール導体 5 d は誘電体シート 1 d を挟持する誘電体シート 1 c、誘電体シート 1 e 上に形成されたグランドライン導体パターン 3 c、3 e を接続するためのビアホール導体の一部となる。

【0048】図 3 (c) は例えば誘電体セラミック層 1 x と 1 a との層間、即ち、誘電体セラミック層 1 a 上に形成されたグランドライン導体パターン 3 a のパターン

を示す。

【0049】図において、グラウンドライン導体パターン3aは、誘電体セラミック層1aとなる誘電体シート（説明上「1a」と記す）上に形成される。具体的には、略1ターン形状を成し、そのグラウンドライン導体パターン3aの一端側及び他端側が例えば誘電体シート1aの右側に配置されている。そして、そのグラウンドライン導体パターン3aの他端部分には、誘電体シート1aの厚み貫く第2ビアホール導体5aが形成されている。同時に、誘電体シート1aの左側寄りに第1ビアホール導体4aが形成されている。尚、この第1ビアホール導体4aは誘電体シート1bに形成された信号ライン導体パターン2aを外部に延出するためのビアホール導体の一部となる。

【0050】図3（d）は例えば誘電体セラミック層1bと1cとの層間、即ち、誘電体セラミック層1c上に形成されたグラウンドライン導体パターン3cのパターンを示す。

【0051】図において、グラウンドライン導体パターン3cは、誘電体セラミック層1cとなる誘電体シート（説明上「1c」と記す）上に形成される。具体的には、略1ターン形状を成し、そのグラウンドライン導体パターン3cの一端側及び他端側が例えば誘電体シート1cの右側に配置されている。そして、そのグラウンドライン導体パターン3cの他端部分には、誘電体シート1cの厚み貫く第2ビアホール導体5cが形成されている。同時に、誘電体シート1cの右側寄りに第1ビアホール導体4cが形成されている。尚、この第1ビアホール導体4cは誘電体シート1cを挟持する誘電体シート1b、誘電体シート1d上に形成された信号ライン導体パターン2b、2dを接続するためのビアホール導体の一部となる。

【0052】尚、図3には示していないが、例えば誘電体セラミック層1dと1eとの層間、即ち、誘電体セラミック層1e上に形成されたグラウンドライン導体パターン3eは、上述の図3（c）と同一パターンとなっている。図3（c）におけるビアホール導体5aに相当するビアホール導体5eは、誘電体シート1eに形成されたグラウンドライン導体パターン3eを外部に延出するためのビアホール導体の一部となり、図3（c）におけるビアホール導体4aに相当するビアホール導体4eは、誘電体シート1dに形成された信号ライン導体パターン2dを、ビアホール導体4dとともに外部に延出するためのビアホール導体となる。

【0053】また、誘電体セラミック層1xとなる誘電体シート1xは、1つのビアホール導体4xが形成されている。このビアホール導体4xは、ビアホール導体4aとともに、誘電体シート1b上の信号ライン導体パターン2bの一端部分に接続して、これによって、信号ライン導体パターン2bの一端を外部に露出する。

【0054】以上の構成により、信号側インダクタ成分（コイル）は、例えばビアホール導体4x、4a、信号ライン導体パターン2bの一端、信号ライン導体パターン2bの他端、ビアホール導体4b、4c、信号ライン導体パターン2dの一端、信号ライン導体パターン2dの他端、ビアホール導体4d、4eと接続して、約2ターンのコイルとなる。

【0055】また、グラウンド側インダクタ成分（コイル）は、例えばグラウンドライン導体パターン3aの他端、ビアホール導体5a、5b、グラウンドライン導体パターン3cの一端、グラウンドライン導体パターン3cの他端、ビアホール導体5c、5d、グラウンドライン導体パターン3eの一端、グラウンドライン導体パターン5eの他端、ビアホール導体5eと接続して、約2.5ターンのコイルとなる。

【0056】同時に、図2、図3から判るように、信号ライン導体パターン2bは、誘電体セラミック層1a、1bを介して、グラウンドライン導体パターン3a、3cにその一部が対向しており、信号ライン導体パターン2dは、誘電セラミック層1c、1dを介してグラウンドライン導体パターン3c、3eにその一部が対向しており、その対向部分で夫々容量成分が発生する。

【0057】さらに、信号側インダクタ成分（コイル）とグラウンド側インダクタ成分（コイル）との中央磁路であるコイル内面積部分Xs、Xgが共通化している。

【0058】結局、分布定数的には、信号側インダクタ成分、グラウンド側インダクタ成分、相互インダクタ成分、容量成分が発生することになり、等価回路的には、図4に示すようになり、所定カットオフ周波数で、所定減衰極、所定減衰量を有するノイズフィルタが達成されることになる。

【0059】以上の構成では、1枚の誘電体シート上に、信号ライン導体パターン2b、2d、またはグラウンドライン導体パターン3a、3c、3eの何れかの導体パターンが1種類のみ形成されており、しかも、略1ターンであるため、各インダクタ成分を構成するコイルの内面積部分Xs、Xgが規定されている。

【0060】しかも、信号ライン導体パターン2b、2dに接続するビアホール導体4a～4eは、グラウンドライン導体パターン3a、3c、3eのコイル内面積部分Xs、Xgに対して外部に形成されており、また、グラウンドライン導体パターン3a、3c、3eに接続するビアホール導体5a～5eは、信号ライン導体パターン2b、2dのコイル内面積部分Xs、Xgに対して外部に形成されているため、ビアホール導体の形成によって、コイル内面積が減少することが一切なく、最大の磁束が通過する磁路を確保でき、各インダクタ成分を大きくすることができ、特性を向上させることができる。

【0061】しかも、誘電体シート1a～1eを積層するにあたり、若干の位置ずれがあったとしても、各イン

10

20

30

40

50

ダクタ成分のコイル内面積部分 X_s 、 X_g の大きさに変動を与えることがないため、特性の安定が達成できる。

【0062】さらに、ビアホール導体 $4x$ 、 $4a \sim 4e$ と $5a \sim 5e$ とが、各導体パターン $2b$ 、 $2d$ 、 $3a$ 、 $3c$ 、 $3d$ のコイル内面積部分 X_s 、 X_g を挟んで、例えば右側と左側に分散されて配置される。このため、ビアホール導体 $4x$ 、 $4a \sim 4e$ と $5a \sim 5e$ が一箇所に集中することがないため、製造工程中で誘電体セラミック層 $1x$ 、 $1a \sim 1e$ 間の剥離現象を減少させることができ、誘電体セラミック層 $1x$ 、 $1a \sim 1e$ を積層した時の積層表面を比較的平坦化することができる。

【0063】尚、ここで、簡単に上述のノイズフィルタの製造方法を説明する。

【0064】まず、各誘電体セラミック層 $1x$ 、 $1a \sim 1e$ となる誘電体シートを用意する。

【0065】尚、シートの形状は、複数のノイズフィルタが抽出できる大きさとして、端子電極形成前で、切断・分割することが量産性で有利であるが、説明上、ノイズフィルタの形状と同一の誘電体シートとする。

【0066】まず、誘電体セラミック層 $1x$ となる誘電体シートにビアホール導体 $4x$ となるスルーホールを形成して、 A_g 系導電性ペーストで該スルーホールにビアホール導体を充填する。

【0067】次に、誘電体セラミック層 $1a$ となる誘電体シートにビアホール導体 $4a$ 、 $5a$ となるスルーホールを形成して、 A_g 系導電性ペーストで該スルーホールにビアホール導体を充填するとともに、 A_g 系導電性ペーストでシート $1a$ 上にグラウンドライン導体パターン $3a$ となる導体膜を形成する。

【0068】次に、同様に、誘電体セラミック層 $1b \sim 1e$ となる誘電体シートにビアホール導体 $4b \sim 4e$ 、 $5b \sim 5e$ となるスルーホールを形成して、 A_g 系導電性ペーストで該スルーホールにビアホール導体を充填するとともに、 A_g 系導電性ペーストでシート $1a$ 上に信号ライン導体パターン $2b$ 、 $2d$ またはグラウンドライン導体パターン $3c$ 、 $3e$ となる導体膜を形成する。尚、誘電体シート $1a$ と誘電体シート $1e$ は共用できる。

【0069】このようビアホール導体及びまたは導体パターンとなる導体が形成された複数の誘電体シートを、積層順序に応じて、熱圧着を行い、一体的に積層する。

【0070】次に、この積層体を例えば大気雰囲気中で、所定ピーク温度で一体焼結する。

【0071】尚、焼成雰囲気、焼成のピーク温度などは、用いる誘電体セラミック材料、導体の材料によって異なるものである。

【0072】このように焼成された積層体 1 の端面に、ビアホール導体 $1x$ 、 $4e$ 、 $5e$ に接続するように端子電極 7 、 6 、 8 を形成する。

【0073】具体的には、厚膜手法によって A_g 系下地導体膜を焼きつけ形成し、その後、バレルメッキで、所

定材料、例えば Ni 、半田などのメッキ層を鍍着させる。

【0074】

【実施例】本発明者は、一層あたり略 1 ターンを形成した本発明のノイズフィルタと、 1 層あたり、半ターンの信号ライン導体パターン、グラウンドライン導体パターンを並設した従来のノイズフィルタにおいて、夫々のインダクタ成分（コイル）のターン数、コイル内面積が同一となるように設定しフィルタ特性を調べた。その結果を図 5 、図 6 に示す。尚、両図において、線 A は位置ずれがない状態（正常な状態）の特性であり、線 B は位置ずれが平面方向に $50 \mu m$ 発生した状態の特性である。

【0075】本発明品においては、位置ずれの有無に係わらず、カットオフ周波数、減衰極周波数、減衰量においては両者の差異は非常に小さく、減衰極よりも高い周波数領域で、周波数のシフトが若干認められる程度である。

【0076】これに対して、従来品においては、位置ずれによって、その特性が大きく変動してしまい、特に、特性上極めて重要な減衰極周波数、減衰量においては顕著である。

【0077】以上の結果から、本発明品においては、製造工程で発生する位置ずれなどが発生したとしても、その特性の変動を有効に抑えることができるため、特性的にも安定し、製造工程での特性信頼性が向上する。

【0078】上述のように特性の変動を抑えるためには、図 $3(a)$ 、 (b) と図 $3(c)$ 、 (d) に示すように、信号ライン導体パターン $2b$ 、 $2d$ とグラウンドライン導体パターン $3a$ 、 $3c$ 、 $3e$ のコイル内面積部分 X_s 、 X_g を若干変位させることも重要である。これは、信号ライン導体パターン $2b$ 、 $2d$ とグラウンドライン導体パターン $3a$ 、 $3c$ 、 $3e$ との対向部分が位置ずれによって、その対向面積が大きく変動しないように、予め、一方の導体、例えば、図 $3(a)$ 、 (b) に示す信号ライン導体パターン $2b$ 、 $2d$ の一端及び他端と対向する位置の導体パターンの直線部 $21b$ 、 $21d$ を、他方の導体、例えば図 $3(c)$ 、 (d) に示すグラウンドライン導体パターン $3a$ 、 $3c$ の一端及び他端と対向させないようにする。

【0079】また、グラウンドライン導体コイルパターン $3a$ 、 $3c$ の一端及び他端と対向する位置の導体パターンの直線部 $31a$ 、 $31c$ に関しても、信号ライン導体コイルパターン $2b$ 、 $2d$ の一端及び他端と対向させないようにする。これにより、信号ライン導体コイルパターン $2b$ 、 $2d$ とグラウンドライン導体コイルパターン $3a$ 、 $3c$ 、 $3e$ との対向部分は、実質的に、信号ライン導体コイルパターン $2b$ 、 $2c$ 、グラウンドライン導体コイルパターン $3a$ 、 $3c$ 、 $3e$ の両端部を及び直線部 $21b$ 、 $21d$ 、 $31a$ 、 $31c$ を除く部分となる。

【0080】このようにすれば、図 3 の示す左右方向に

位置ずれ（ビアホール導体の接続が可能な程度）が発生しても、両導体パターン 2 b、2 d、3 a、3 c、3 e での対向面積が大きく変動しないため、フィルタ特性の変動が少なくなる。

【0081】尚、上述の実施例では、2 層の信号ライン導体パターン 2 b、2 d、3 層のグラウンドライン導体パターン 3 a、3 c、3 e が積層されてノイズフィルタが構成されているが、所望のフィルタ特性に応じて、夫々信号ライン導体パターン、グラウンドライン導体パターンの積層・接続数を変えても構わない。

【0082】また、最外層以外の誘電体セラミック層は、容量成分上厚みの制御が重要となる。仮に厚い誘電体セラミック層が必要な場合には、例えば導体パターンが形成されておらず、ビアホール導体のみを形成した誘電体セラミック層を別途介在させても構わない。同時に、最外層の誘電体セラミック層に関しては、主に機械的な強度を確保するために、ビアホール導体のみを形成した誘電体セラミック層を複数積層しても構わない。

【0083】

【発明の効果】本発明によれば、信号側インダクタ成分とグラウンド側インダクタ成分とが積層体内で互いに容量成分を発生するように対向して配置されており、積層体を構成する各誘電体セラミック層間には、独立して約 1 ターンの信号ライン導体パターン又はグラウンドライン導体パターンが形成されている。

【0084】また、複数の信号ライン導体パターンまたはグラウンドライン導体パターンとを接続する第 1、第 2 ビアホール導体が、導体パターンのコイル内面積部分を挟んで、分散されている。

【0085】このため、各インダクタ成分（コイル）の

しかも、磁束を阻害するものがないため、最大のインダクタ成分を得ることができる。

【0086】また、誘電体セラミック層となるシートの積層位置ずれが発生しても、コイル内面積部分の面積の変動がないため、特性の変動を有効に抑えることができる。

【0087】これにより、ノイズフィルタの特性が向上、且つ安定した、実用上有用なノイズフィルタとなる。

10 【図面の簡単な説明】

【図 1】本発明のノイズフィルタの外観斜視図である。

【図 2】本発明のノイズフィルタの各導体パターンの接続状態を示すための積層体部分の分解斜視図である。

【図 3】（a）、（b）は、夫々本発明のノイズフィルタに用いる信号ライン導体パターンを示す平面図であり、（c）、（d）は、本発明のノイズフィルタに用いるグラウンドライン導体パターンの平面図である。

【図 4】本発明のノイズフィルタの等価的な回路図である。

20 【図 5】本発明のノイズフィルタの特性図である。

【図 6】従来のノイズフィルタの特性図である。

【符号の説明】

1・・・積層体

1 x、1 a～1 e・・・誘電体セラミック層

2 b、2 d・・・信号ライン導体コイルパターン

3 a、3 c、3 e・・・グラウンドライン導体コイルパターン

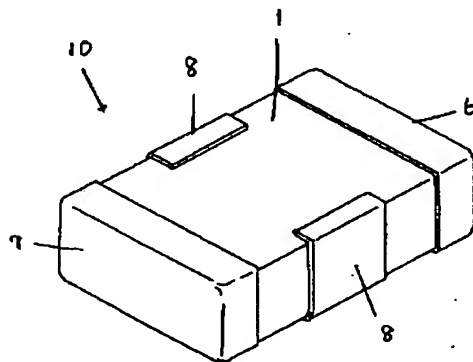
4 a～4 e・・・ビアホール導体

5 a～5 e・・・ビアホール導体

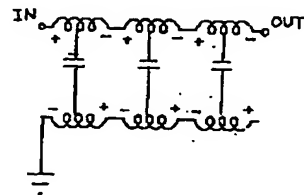
6、7・・・信号側の入出力端子電極

8・・・グラウンド側の端子電極

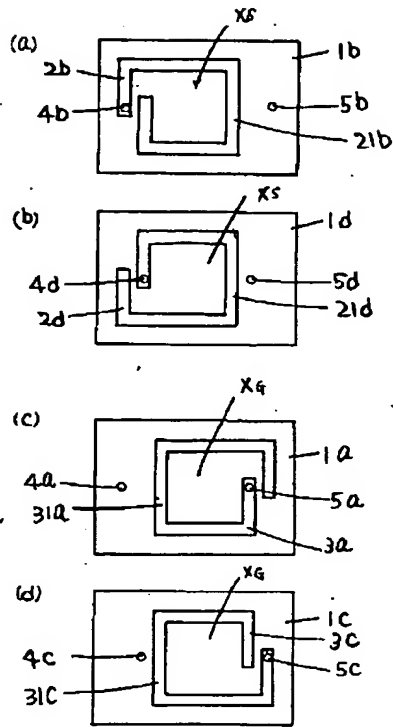
【図 1】



【図 4】



【图 3】



【図 6】

